

PATENT ABSTRACTS OF JAPAN

(11) Publication number : **2000-206560**

(43) Date of publication of application : **28.07.2000**

(51)Int.Cl.

G02F 1/136

(21) Application number : 11-009563

(71)Applicant : **TOSHIBA CORP**

(22) Date of filing : 18.01.1999

(72)Inventor : NAGAYAMA KOHEI

HANAZAWA YASUYUKI

(54) ACTIVE MATRIX TYPE LIQUID CRYSTAL DISPLAY DEVICE

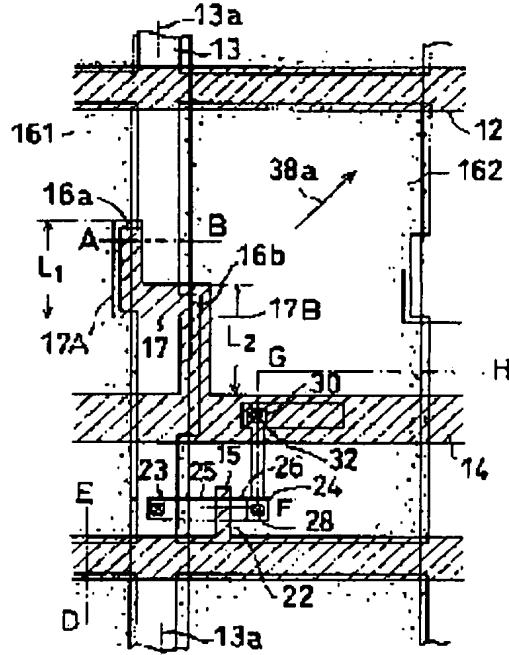
(57) Abstract:

PROBLEM TO BE SOLVED: To prevent a display defect such as cross talk and to obtain high display quality by constituting so that a length of a first part superimposing only on an edge side of a first pixel electrode side of a shield electrode is different from that of a second part superimposing only on the edge side of a second pixel electrode side.

SOLUTION: The shield electrode 17 is formed by a shifted area 17B to one pixel electrode 162 side and the shifted area 17A to the adjacent pixel electrode 161 side for a central

axis 13a of a signal line 13 so that the effects of one pixel electrode 162 and two adjacent signal lines 13, 13 become equal. Then, the lengths L1, L2 of two areas of the shield electrode 17 are made so as to become $L1 < L2$ as an example. By such a constitution, the high display quality reducing a difference between capacity between the signal line and the pixel electrode and the capacity between the adjacent signal line and the pixel electrode, and eliminating a picture quality defect such as the cross talk and luminance unevenness is obtained while suppressing the increase of the load capacity of the signal line by light shielding a liquid crystal alignment defect area with wiring.





(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-206560

(P2000-206560A)

(43)公開日 平成12年7月28日(2000.7.28)

(51)Int.Cl.⁷

G 0 2 F 1/136

識別記号

5 0 0

F I

C 0 2 F 1/136

テマコト[®](参考)

5 0 0 2 H 0 9 2

審査請求 未請求 請求項の数9 O.L (全7頁)

(21)出願番号

特願平11-9563

(22)出願日

平成11年1月18日(1999.1.18)

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 永山 耕平

埼玉県深谷市幡縄町一丁目9番2号 株式会社東芝深谷電子工場内

(72)発明者 花澤 康行

埼玉県深谷市幡縄町一丁目9番2号 株式会社東芝深谷電子工場内

(74)代理人 100081732

弁理士 大胡 典夫 (外1名)

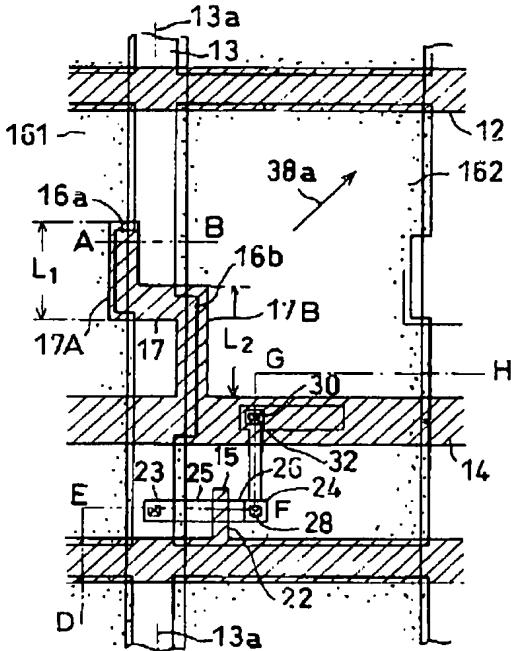
最終頁に続く

(54)【発明の名称】 アクティブマトリクス型液晶表示装置

(57)【要約】

【課題】 一つの画素電極とその両側の信号線間の容量のバランスをとりクロストークなどの表示不良を防止する。

【解決手段】 信号線13に交差する補助容量線14から信号線に沿ってシールド電極17を延在させ、シールド電極の一方の縁辺を当該画素電極16.2に重畳させ、他方の縁辺を隣接画素電極16.1に重畳させ、その重畳長さL1、L2を異ならせる。



【特許請求の範囲】

【請求項1】 共通電極を有する対向基板とこの対向基板とともに液晶層を挟持するアレイ基板と、このアレイ基板上に形成された複数の走査線と、前記走査線と交差して形成された複数の信号線と、前記走査線と前記信号線との交点部近傍に形成された薄膜トランジスタと、前記走査線と前記信号線とに囲まれたそれぞれの領域に形成され相互に隣接する第1画素電極と第2画素電極を含む複数の画素電極と、前記信号線に対して交差して形成された補助容量線と、前記補助容量線から延在し前記信号線に沿って形成されたシールド電極とを有し、前記信号線と前記シールド電極が遮光体を兼ね、前記遮光体と前記第1画素電極の重疊する幅と、前記遮光体と前記第2画素電極の重疊する幅が異なる液晶表示装置において、前記シールド電極は、前記信号線の縁辺のうち前記第1画素電極側の縁辺のみに重疊する第1の部分と、前記信号線の縁辺のうち前記第2画素電極側の縁辺のみに重疊する第2の部分とを有し、前記第1の部分と前記第2の部分の長さが異なることを特徴とする液晶表示装置。

【請求項2】 前記信号線は略直線状の中心軸を有し、前記信号線に沿って形成されるシールド電極は、前記中心軸に対して前記第1画素電極側にずれて形成された部分と、前記第2画素電極側にずれて形成された部分とを有する非直線形状であることを特徴とする請求項1記載の液晶表示装置。

【請求項3】 前記信号線はその中心軸に対して前記第1画素電極側にずれて形成された部分と、前記第2画素電極側にずれて形成された部分とを有する非直線形状であることを特徴とする請求項1記載の液晶表示装置。

【請求項4】 前記信号線の少なくとも一部が、前記第1の部分において前記第1画素電極と、かつ前記第2の部分において前記第2の画素電極と重疊しないことを特徴とする請求項1記載の液晶表示装置。

【請求項5】 前記信号線と前記シールド電極で形成される遮光体が直線状であることを特徴とする請求項1記載の液晶表示装置。

【請求項6】 基板上に形成された複数の走査線と、前記走査線と交差して形成された複数の信号線と、前記走査線と前記信号線との交点部近傍に形成された薄膜トランジスタと、前記走査線と前記信号線とに囲まれたそれぞれの領域に形成された複数の画素電極と、前記信号線に対して交差して形成された補助容量線と、前記補助容量線から延在し前記信号線に沿って形成されたシールド電極とを有し、前記信号線と前記シールド電極が遮光体を兼ね、前記遮光体と前記画素電極のうちの第1画素電極に重疊する幅と、前記遮光体と前記が疎電極のうちの前記第1画素電極に隣接する第2画素電極に重疊する幅とが異なる液晶表示装置において、前記シールド電極は、前記信号線の縁辺のうち前記第2画素電極側の縁辺

のみに重疊する第2の部分を有することを特徴とする液晶表示装置。

【請求項7】 基板上に形成された複数の走査線と、前記走査線と交差して形成された複数の信号線と、前記走査線と前記信号線との交点部近傍に形成された薄膜トランジスタと、前記走査線と前記信号線とに囲まれたそれぞれの領域に形成された複数の画素電極と、前記信号線に対して直交して形成された補助容量線と、前記補助容量線から延在し前記信号線に沿って形成されたシールド電極とを有し、前記信号線と前記シールド電極が遮光体を兼ね、前記遮光体と第1画素電極の重疊する幅と、前記遮光体と第2画素電極の重疊する幅が異なる液晶表示装置において、前記補助容量線から延在し前記信号線に沿って形成された第1のシールド電極と第2のシールド電極が、前記信号線の両辺に重疊する部分を有し、前記第1のシールド電極と前記第2のシールド電極の長さが異なることを特徴とする液晶表示装置。

【請求項8】 前記走査線は前記補助容量線を兼ね、前記シールド電極は前記走査線から延在していることを特徴とする請求項1、6および7のいずれかに記載の液晶表示装置。

【請求項9】 基板上に形成された複数の走査線と、前記走査線と交差して形成された複数の信号線と、前記走査線と前記信号線との交点部近傍に形成された薄膜トランジスタと、前記走査線と前記信号線とに囲まれたそれぞれの領域に形成された複数の画素電極と、前記信号線に対して直交して形成された補助容量線と、前記補助容量線から延在し前記信号線に沿って形成されたシールド電極とを有し、前記信号線と前記シールド電極が遮光体を兼ね、前記遮光体と第1画素電極の重疊する幅と、前記遮光体と第2画素電極の重疊する幅が異なる液晶表示装置において、前記信号線に隣接する画素電極の縁辺に前記信号線と重疊しない欠け部を形成してこの欠け部を覆ってその周囲の前記信号線と前記画素電極に重疊するようシールド電極を配置してなる液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、アクティブマトリクス型液晶表示装置に関する。

【0002】

【従来の技術】近年、高密度かつ大容量でありながら、高機能、高精細な表示が得られる液晶表示装置の実用化が進められている。この液晶表示装置には、各種方式があるが、中でも隣接画素間のクロストークが小さく、高コントラストの表示が得られ、透過型表示が可能かつ大面积化も容易などの理由から、互いに交差する方向に設けられた複数本の走査線と複数本の信号線により区画され画素領域となる複数個の領域に薄膜トランジスタ(TFT)をスイッチング素子とする画素電極がマトリクス状に設けられたアレイ基板を備えるアクティブマトリク

ス型液晶表示装置が多く用いられている。

【0003】画素は開口率の高い構造が望ましく、高開口率の得られる構造として、信号線と画素電極を重ねる配線BM(ブラックマトリクス)構造などがある。この構造は、信号線上に絶縁層を介して画素電極を重ね配線に遮光体を兼ねさせる構成であり、信号線と画素電極間の寄生容量が大きい。

【0004】TFT液晶ディスプレイの表示品位は、信号線と画素電極との寄生容量によって左右され、この寄生容量の影響は、補助容量を形成したり一定の電位に固定されたシールド電極を、層間絶縁膜を介して画素電極と信号線に重なるように配置することにより抑制することができる。

【0005】

【発明が解決しようとする課題】また、配線BM構造では、ラビング方向の下流側の信号線の端部付近に、液晶の配向不良領域が発生することが知られており、この領域から光漏れが発生して不良の原因になっている。そのため、液晶の配向不良領域を配線で遮光するために、信号線と画素電極の重ね幅を大きくする必要があり、信号線と画素電極間の寄生容量が増加するといった問題が発生する。

【0006】そこで、信号線と画素電極間の寄生容量の増加をできるだけ抑えるために、信号線と画素電極の重ね幅を、液晶の配向不良が発生する部分のみを大きくするという方法がある。しかしこの方法では、当該信号線と画素電極間の容量と、隣接信号線と画素電極間の容量のバランスがくずれるため、クロストークなどの表示不良が発生しやすくなる。

【0007】本発明は、このような不具合を改善するものであり、高い表示品位を有するアクティブマトリクス型液晶表示装置を提供することを目的とする。

【0008】

【課題を解決するための手段】本発明は、共通電極を有する対向基板とこの対向基板とともに液晶層を挟持するアレイ基板と、このアレイ基板上に形成された複数の走査線と、前記走査線と交差して形成された複数の信号線と、前記走査線と前記信号線との交点部近傍に形成された薄膜トランジスタと、前記走査線と前記信号線とに囲まれたそれぞれの領域に形成され相互に隣接する第1画素電極と第2画素電極を含む複数の画素電極と、前記信号線に対して交差して形成された補助容量線と、前記補助容量線から延在し前記信号線に沿って形成されたシールド電極とを有し、前記信号線と前記シールド電極が遮光体を兼ね、前記遮光体と前記第1画素電極の重疊する幅と、前記遮光体と前記第2画素電極の重疊する幅が異なる液晶表示装置において、前記シールド電極は、前記信号線の縁辺のうち前記第1画素電極側の縁辺のみに重疊する第1の部分と、前記信号線の縁辺のうち前記第2画素電極側の縁辺のみに重疊する第2の部分とを有し、

前記第1の部分と前記第2の部分の長さが異なることを特徴とする液晶表示装置を得るものである。

【0009】本発明によれば、液晶配向不良領域を配線で遮光することによる信号線の負荷容量の増加を抑えながら、当該信号線と画素電極間の容量と、隣接信号線と画素電極間の容量の差が少なく、高い表示品位のアクティブマトリクス型液晶表示装置を実現することができると。

【0010】

【発明の実施の形態】以下、この発明の実施の形態について図面を参照して説明する。図1に本発明の第1の実施の形態のアクティブマトリクス型液晶表示装置のアレイ基板の平面図を示し、図2にその一部拡大図、図3に図2のAB線に沿って切断した断面図、図4に図2のDEFGH線に沿う液晶表示装置の一部断面図を示す。

【0011】図において、透明ガラスでできた絶縁性基板11上に、行方向に並行配列された複数の走査線12と、これに直交するように列方向に平行に配列された複数の信号線13とが格子状に配置される。これらの走査線12間に信号線13に直交するように補助容量線14が設けられる。走査線と信号線が交差する近傍の図示の下端部にポリシリコンやアモルファスシリコンの活性層をもつTFT15が配置され、走査線12と信号線13とで囲まれた領域に、相互に隣接する画素電極16すなわち161、162、163…を配置する。

【0012】信号線13の縁辺と一つの画素電極162の周辺部の縁辺の少なくとも一部の切り欠いた部分16a、16bに重疊するように配設された補助容量線14の一部を延在させて設けた静電遮蔽性を有するシールド電極17が、一画素ピッチ内で信号線と交差し、隣接する画素電極161の周辺部の縁辺とも図3の幅bで一部重なるように配設されている。図2中央印38aは画素電極162を覆って形成される配向膜38の配向ベクトルを示す。以降の図では配向ベクトルを省略する。さらに、信号線13とシールド電極17は遮光体を兼ねており、配向ベクトルの上手側となる液晶の配向不良領域NAが発生する場所(図2においては画素の左側の信号線に沿った部分)だけ、遮光体(13、17)と画素電極162の重疊する幅aを大きくしている。シールド電極17は、1つの画素電極162と隣り合う2つの信号線13、13の影響が等しくなるように、信号線13の中心軸13aに対して一つの画素162側のずれ領域17Bと隣接画素161側へのずれ領域17Aとで形成して、そのシールド電極14の領域の長さl1、l2が調整されて形成されている。一例としてl1<l2となる。各ずれ領域に相当する画素電極の縁辺に切り欠け16a、16aが設けられ、この部分で信号13は重疊していない。従って、液晶の配向不良領域を隠すことによる信号線容量の増加および、信号線13、13と画素電極162間容量の増加を最小限に抑え、さらに画素電極

162に対してTFT15の接続されている信号線13の影響と接続されていない信号線13の影響はほぼ同程度であるため、信号線と画素電極との間の寄生容量の影響を最小限に抑えることができる。

【0013】以下図4に基づき上記のアクティブマトリクス型液晶表示装置の製造方法について説明する。まず、高融点ガラス基板や石英基板などの透明絶縁性基板11上にCVD法などによりa-Si膜を50nm程度被着する。450°Cで1時間炉アニールを行った後、XeCIエキシマレーザを照射し、a-Siを多結晶化する。その後に、多結晶Siをフォトエッチング法によりパターニングして、表示領域内のTFT15のチャネル層となる半導体層20を形成した。次に、CVD法により絶縁基板11の全面にゲート絶縁膜21となるSiONx膜を100nmから150nm程度被着する。続いて、ゲート絶縁膜21上にTa、Cr、Al、Mo、W、Cuなどの単体又はその積層膜あるいは合金膜を200nmから400nm程度被着し、フォトエッチング法により、ゲート電極22、ゲート線12、補助容量電極14を形成した。

【0014】その後、このゲート電極22をマスクとしてイオン注入やイオンドーピング法により不純物の注入を行い、画素部のTFT15のドレイン電極23とソース電極24を形成した。不純物の注入は、例えば加速電圧80keVで $5 \times 10^{15} \text{ atoms/cm}^2$ のドーズ量で、PH₃/H₂によりリンを高濃度注入した。その後、基板をアニールすることにより不純物を活性化する。その後、更にNch型LDD(Lightly Doped Drain)25、26を形成するための不純物注入を行い、基板をアニールすることにより不純物を活性化する。

【0015】更に、例えばPECVD法を用いて絶縁基板の全面に層間絶縁膜SiO₂27を500nmから700nm程度被着する。続いて、フォトエッチング法により、画素部のTFT15のドレイン電極23とソース電極24に至るコンタクトホール28(図2)を形成した。次に、Ta、Cr、Al、Mo、W、Cuなどの単体又はその積層膜あるいは合金膜を500nm~700nm程度被着し、フォトエッチング法により所定の形状にパターニングし、信号線13、補助容量電極14、TFT15のドレイン電極23と信号線13の接続の各種配線等を行った。次に、PECVD法により絶縁基板の全面にSiNxからなる透明保護絶縁膜29を成膜し、フォトエッチング法により第1のスルーホール30を形成する。次に有機絶縁層31を全面に2μmから4μmほど塗布し、補助容量素子の上部電極14に至る第2のスルーホール32を形成する。次に、ITOをスパッタ法により100nm程度成膜し、フォトエッチング法により所定の形状にパターニングして、画素電極16を形成した。以上の工程により、アクティブマトリク

ス型液晶表示素子のアレイ基板33が得られる。

【0016】一方、透明性絶縁基板35として例えばガラス基板上に、スパッタ法により例えばITOからなる透明性電極である対向電極36を形成することにより、対向基板37が得られる。続いて、アレイ基板33と対向基板37の画素電極16側と対向電極36側全面に低温キュア型のポリイミドからなる配向膜38、39、を印刷塗布し、両基板33、37、の対向時に配向軸が90°となるようにラビング処理をした後、両基板33、37を対向して組み立て、セル化し、その間隙にネマティック液晶層40を注入し封止する。そして、両基板33、37の絶縁基板11、35側に偏光板41、42を貼り付けることにより液晶表示装置が得られる。

【0017】このようにして出来上がったアレイ基板33では、液晶の配向不良が発生する領域だけ、遮光体(13、17)と画素電極16の重なり幅を大きくするので、信号線13の容量の増加と、信号線13と画素電極16間容量の増加を最小限に抑えることができる。また、当該信号線13と画素電極16間の容量と、隣接信号線13と画素電極16間の容量がほぼ等しくなるので、クロストークや輝度むらといった画質不良の無い良好な表示が得られた。また、本発明は種々変形が可能である。以下図1と同符号の部分は同様部分を示す。

【0018】図5に示す第2の実施の形態は、図1に示す実施の形態において、シールド電極17ではなく信号線130の両画素電極側に切込み51、52を設けて、このシールド電極17の中心17aに対して非直線の鍵型に形成した場合である。この様な構成にしても、上記実施例と同様の効果が得られる。

【0019】図6に示す第3の実施の形態は、図1に示す実施例において、シールド電極170を前段のゲート線120から延在させて形成した場合である。このような構成では、補助容量線が不要になり、高い開口率を得ることができる。

【0020】図7に示す第4の実施の形態は、液晶の配向不良領域が発生する信号線131の端部、すなわち、信号線131と画素電極16の重畳する幅の大きい側のみにシールド電極170を補助容量線14から延在させて形成した場合である。このシールド電極170の長さl1は、画素電極16と隣り合う2つの信号線131、132の影響が等しくなるように、シールド電極の長さが調整されて形成されている。この様な構成にしても、上記実施の形態と同様の効果が得られる。図8に示す第5の実施の形態は、第1のシールド電極171と第2のシールド電極172を信号線13の両側に補助容量線14から延在させて形成した場合であり、第1のシールド電極171の長さl1と第2のシールド電極172の長さl2が異なっている。

【0021】図9は、図8をAB線に沿って切断した断面図であり、第1のシールド電極171と画素電極16

2の重畳する幅cと第2のシールド電極172と隣の画素電極161の重畳するdが異なっている。この様な構成にしても上記実施の形態と同様の効果が得られる。

【0022】また、本実施の形態は半導体層としてポリシリコン層を用いたアクティブマトリクス型液晶表示装置に関して記述したが、本発明は半導体層として例えばアモルファスシリコン層等の他の半導体層を用いたアクティブマトリクス型液晶表示装置についても同様の効果が得られる。

【0023】

【発明の効果】以上詳述したように、この発明によると、液晶の配向不良が発生する領域だけ遮光体と画素電極の重なり幅を大きくするので、信号線容量の増加及び信号線と画素電極間容量の増加を最小限に抑えることができる。また、当該自信号線と画素電極間の容量と、隣接信号線と画素電極間の容量をほぼ等しくすることができるので、クロストークや輝度むらといった画質不良の無いアクティブマトリクス型液晶表示装置を実現することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態におけるアクティブマトリクス型液晶表示装置の一画素平面図

【図2】図1における一部拡大平面図

【図3】図2をAB線で切断したアレイ基板の断面図

【図4】図2におけるDEFGH線で切断したアレイ基板およびこれと対応する対向基板を含んだ液晶表示装置の一部断面図

【図5】本発明の2の実施の形態の一画素平面図

【図6】本発明の第3の実施の形態の一画素平面図

【図7】本発明の第4の実施の形態の一画素平面図

【図8】本発明の第5の実施の形態の一画素平面図

【図9】図8におけるAB線で切断したアレイ基板の断面図

【符号の説明】

12:走査線

13:信号線

14:補助容量線

15: TFT

16、161、162、……:画素電極

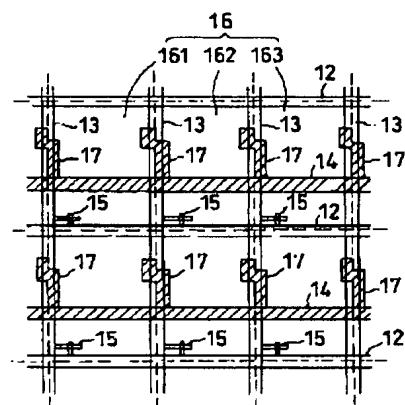
17:シールド電極

33:アレイ基板

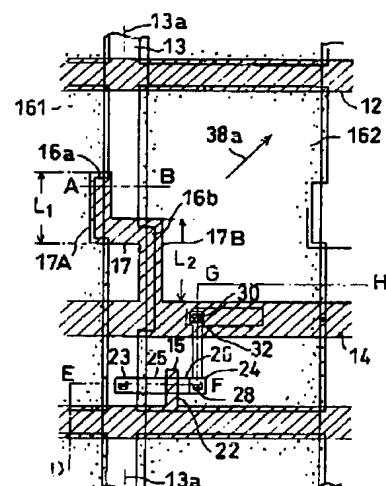
37:対向基板

40:液晶層

【図1】



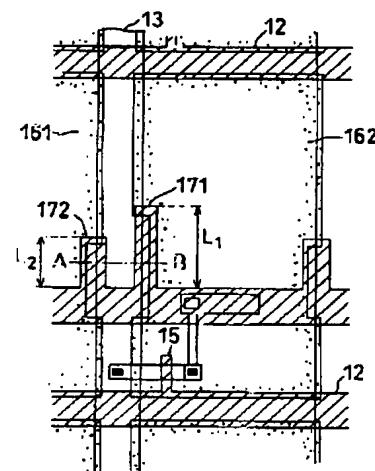
【図2】



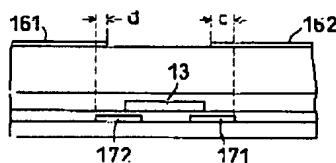
【図3】



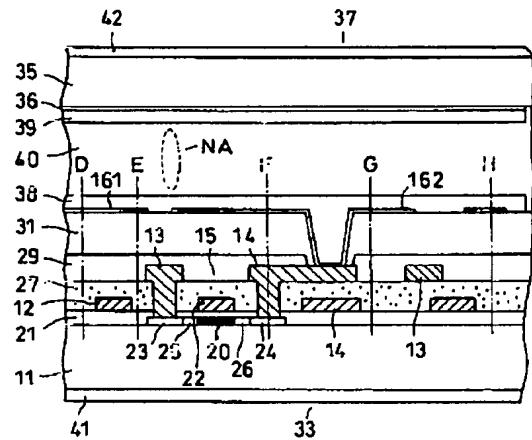
【図8】



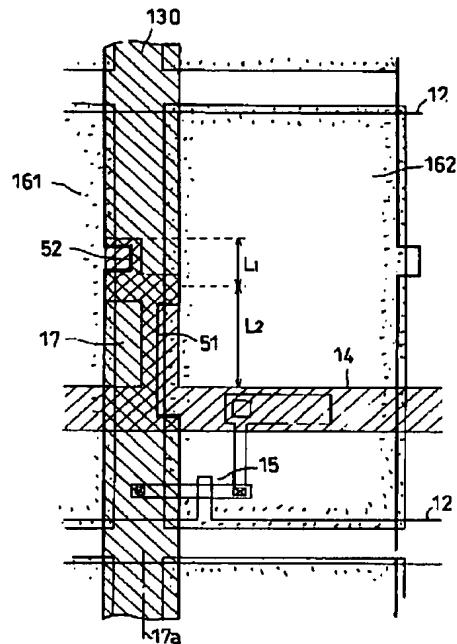
【図9】



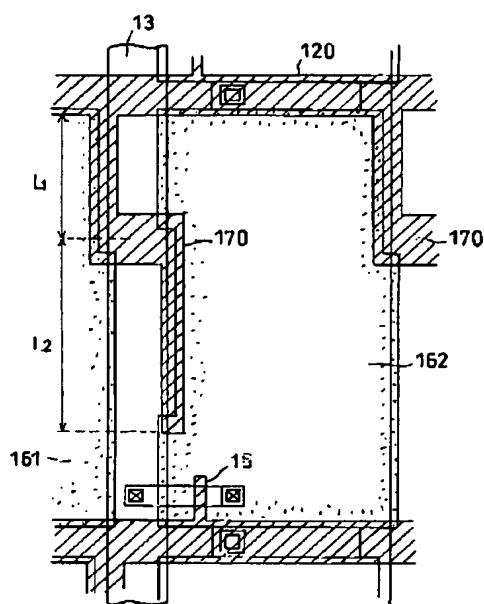
【図4】



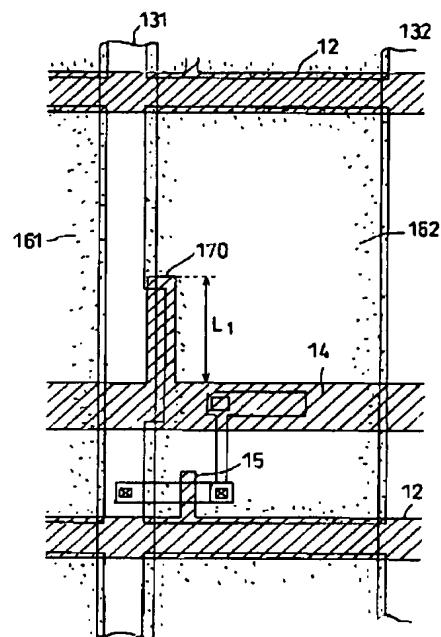
【図5】



【図6】



【図7】



(7) 000-206560 (P2000-206560A)

フロントページの続き

F ターム(参考) 2H092 JA25 JA29 JA35 JA38 JA39
JA42 JA44 JB13 JB23 JB32
JB33 JB42 JB52 JB57 JB63
JB69 KA04 KA07 KA12 KA16
KA18 KB14 KB23 MA05 MA08
MA14 MA15 MA16 MA18 MA19
MA20 MA27 MA28 MA35 MA37
MA41 NA01 NA23 NA24 NA25
QA07